

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC932 U.S. PRO

09/684568



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年10月 8日

出願番号
Application Number:

平成11年特許願第287583号

出願人
Applicant(s):

株式会社半導体エネルギー研究所

2000年 8月18日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3065895

【書類名】 特許願

【整理番号】 P004380-01

【提出日】 平成11年10月 8日

【あて先】 特許庁長官 近藤 隆彦 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 田中 幸夫

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】

$m \times n$ 個の画素を有する画素部であって、前記画素は T F T を有する画素部と
(m 、 n は共に自然数、 $m < n$)、

m 本のゲート信号線に選択信号を供給するゲートドライバと、

n 本のソース信号線にビデオデータを供給するソースドライバと、

ビデオデータ変換回路と、

を有する液晶表示装置であって、

前記ビデオデータ変換回路は、第 1 のビデオデータ (h 、 k) ($h = 1 \sim m$ 、
 $k = 1 \sim n$) を第 2 のビデオデータに変換し、

前記第 1 のビデオデータを構成するビデオデータ (h 、 k) は、前記第 2 のビデオデータを構成する $m(k - 1) + h$ 番目のビデオデータに変換されることを特徴とする液晶表示装置。

【請求項 2】

$m \times n$ 個の画素 (画素 (h 、 k) とし、 $h = 1 \sim m$ 、 $k = 1 \sim n$ 、 m 、 n は共に自然数、 $m < n$) を有する画素部であって、前記画素は T F T を有する画素部と、

m 本のゲート信号線に選択信号を供給するゲートドライバと、

n 本のソース信号線にビデオデータを供給するソースドライバと、

ビデオデータ変換回路と、

を有する液晶表示装置であって、

前記ビデオデータ変換回路は、前記画素 (h 、 k) に供給される画素第 1 のビデオデータ (h 、 k) ($h = 1 \sim m$ 、 $k = 1 \sim n$) を第 2 のビデオデータに変換し、

前記第 1 のビデオデータを構成するビデオデータ (h 、 k) は、前記第 2 のビデオデータを構成する $m(k - 1) + h$ 番目のビデオデータに変換されることを特徴とする液晶表示装置。

【請求項 3】

請求項 1 または 2 に記載の液晶表示装置を 3 個用いたことを特徴とするリアプロジェクター。

【請求項 4】

請求項 1 または 2 に記載の液晶表示装置を 3 個用いたことを特徴とするフロントプロジェクター。

【請求項 5】

請求項 1 または 2 に記載の液晶表示装置を 1 個用いたことを特徴とするリアプロジェクター。

【請求項 6】

請求項 1 または 2 に記載の液晶表示装置を 1 個用いたことを特徴とするフロントプロジェクター。

【請求項 7】

請求項 1 または 2 に記載の液晶表示装置を用いたことを特徴とするヘッドマウントディスプレイ。

【請求項 8】

請求項 1 または 1 に記載の液晶表示装置を用いたことを特徴とするコンピュータ。

【請求項 9】

請求項 1 または 2 に記載の液晶表示装置を用いたことを特徴とするビデオカメラ。

【請求項 1 0】

請求項 1 または 2 に記載の液晶表示装置を用いたことを特徴とする DVD プレーヤー。

【請求項 1 1】

請求項 1 または 2 に記載の液晶表示装置を用いたことを特徴とするディスプレイ装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は表示装置に関する。特に、アクティブマトリクス型表示装置に関する。

【0002】

【従来の技術】

最近安価なガラス基板上に半導体薄膜を形成した電子装置、例えば薄膜トランジスタ（TFT）を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶パネルの需要が高まってきたことによる。

【0003】

アクティブマトリクス型液晶パネルはその画素部に数十～数百万個ものTFTがマトリクス状に配置され、各TFTに接続された画素電極に出入りする電荷をTFTのスイッチング機能により制御し画像を表示するものである。

【0004】

従来、画素部にはガラス基板上に形成されたアモルファスシリコンを利用した薄膜トランジスタが配置されている。

【0005】

また近年、基板として石英を利用し多結晶珪素膜で薄膜トランジスタを作製する技術も知られている。この場合、周辺駆動回路も画素部も石英基板上に一体形成される。

【0006】

また、レーザーアニール等の技術を利用することにより、ガラス基板上に結晶性珪素膜を用いた薄膜トランジスタを作製する技術も知られている。

【0007】

【発明が解決しようとする課題】

最近、アクティブマトリクス型液晶パネルは、パーソナルコンピュータのディスプレイ装置として用いられる大型のものだけでなく、フロントプロジェクターやリアプロジェクターやHMD（ヘッドマウントディスプレイ）等に用いられる小型のものが注目されてきている。これらの電子装置に用いられる小型のアクティブマトリクス型液晶パネルは、できる限り小さいものが好ましく、最近では、

対角 0.7 インチ程度のものが量産され始めている。

【0008】

ここで、図 14 に従来のアクティブマトリクス型液晶パネルの概略構成図を示す。図 14 において、11000 は液晶パネル、11100 はソースドライバ、11200 はゲートドライバ、11300 は画素部、11400 は FPC 端子である。FPC 端子は液晶パネルにビデオデータやクロック信号、電源等が入力される端子である。なお、画素部の横の長さを L、画素部の縦の長さを W とすると、一般に、 $W/H = 4/3$ 、または $W/H = 16/9$ である。

【0009】

しかし、近年の小型化の要求に伴い、図 14 に示す回路レイアウトを構成できないケースが生じてきている。例えば、ゲートドライバの長手方向の液晶パネルの基板のサイズをより小さくしなければならない場合等である。この場合、ソースドライバの占有面積が問題となってくる。つまり、ソースドライバはゲートドライバに比較して、それを構成する素子数が多く占有面積が大きい。よって、ソースドライバの占有面積が大きいために、従来の回路レイアウトに無理が生じてきている。

【0010】

そこで、本発明は上述の問題を鑑みてなされたものであり、液晶パネルの小型化の要求を達成することを目的とする。

【0011】

【課題を解決するための手段】

本発明の液晶表示装置は、画素部の縦の長さを W、画素部の横の長さを L、画素部の画素数を $m \times n$ （縦×横）としたときに、 $W > L$ かつ $m < n$ であり、ゲートドライバを画素部の上部に配置し、かつソースドライバを画素部の側部に配置する。そして、外部から入力されるビデオデータを並び替え、ソースドライバに入力する。

【0012】

以下に本発明の構成を記載する。

【0013】

本発明によると、

$m \times n$ 個の画素を有する画素部であって、前記画素は TFT を有する画素部と
(m 、 n は共に自然数、 $m < n$)、

m 本のゲート信号線に選択信号を供給するゲートドライバと、

n 本のソース信号線にビデオデータを供給するソースドライバと、

ビデオデータ変換回路と、

を有する液晶表示装置であって、

前記ビデオデータ変換回路は、第 1 のビデオデータ (h 、 k) ($h = 1 \sim m$ 、
 $k = 1 \sim n$) を第 2 のビデオデータに変換し、

前記第 1 のビデオデータを構成するビデオデータ (h 、 k) は、前記第 2 のビデオデータを構成する $m(k-1) + h$ 番目のビデオデータに変換されることを特徴とする液晶表示装置が提供される。

【0014】

本発明によると、

$m \times n$ 個の画素 (画素 (h 、 k) とし、 $h = 1 \sim m$ 、 $k = 1 \sim n$ 、 m 、 n は共に自然数、 $m < n$) を有する画素部であって、前記画素は TFT を有する画素部と、

m 本のゲート信号線に選択信号を供給するゲートドライバと、

n 本のソース信号線にビデオデータを供給するソースドライバと、

ビデオデータ変換回路と、

を有する液晶表示装置であって、

前記ビデオデータ変換回路は、前記画素 (h 、 k) に供給される画素第 1 のビデオデータ (h 、 k) ($h = 1 \sim m$ 、 $k = 1 \sim n$) を第 2 のビデオデータに変換し、

前記第 1 のビデオデータを構成するビデオデータ (h 、 k) は、前記第 2 のビデオデータを構成する $m(k-1) + h$ 番目のビデオデータに変換されることを特徴とする液晶表示装置が提供される。

【0015】

【発明の実施の形態】

本実施の形態の本発明の液晶表示装置を図 1 に示す。

【0016】

図 1 に示す本実施の形態の液晶表示装置は、液晶パネル 1000 およびビデオデータ変換回路 2000 を有している。液晶パネル 1000 はゲートドライバ 1100、ソースドライバ 1200、画素部 1300 および FPC 端子 1400 を有している。ビデオデータ変換回路 2000 にはビデオデータ (VIDEO) が入力される。ビデオデータ変換回路 2000 は、ビデオデータ (VIDEO) をビデオデータ n (VIDEOn) に変換し、ビデオデータ n (VIDEOn) を液晶パネル 1000 のソースドライバ 1200 に出力する。ビデオデータ n の添え字 "n" は、"new" を意味する。なお、ここでは、本発明の液晶表示装置を (5×4) 画素 (横×縦) の画素部を有する液晶パネルを例にとって説明しているが、本発明の液晶表示装置はこれに限定されるわけではない。

【0017】

本発明の液晶表示装置の液晶パネルにおいては、液晶パネル 1000 の横の長さ (ゲートドライバの長手方向の液晶パネルの長さ) を a、液晶パネル 1000 の縦の長さ (ソースドライバの長手方向の液晶パネルの長さ) を b とすると、 $a > b$ である。また、画素部 1300 の横の長さ (ゲートドライバの長手方向の画素部 1300 の長さ) を L、画素部 1300 の縦の長さ (ソースドライバの長手方向の画素部 1300 の長さ) を W とすると、 $L > W$ である。

【0018】

ここで、本発明の液晶表示装置の液晶パネルの回路構成の概略図を図 2 に示す。図 2 には、画素部 1300 の回路構成が示されている。画素部 1300 は、画素 1310 がマトリクス状に配置されている構成をとる。画素 1310 は、TFT 1320、保持容量 1330、液晶 1340 を有している。なお、TFT のソースまたはドレインのいずれか一端に接続された画素電極 (図示せず) と対向電極 (図示せず) とによって液晶に電圧が印加されるようになっている。対向電極は共通電位 (COM) に接続されている。なお、保持容量 1330 は、図 2 に示す通りでなくてもよい。なお、画素部 1300 を構成する画素 1310 には、それぞれ、(1、1)、(1、2)、・・・、(4、5) という符号が付けられて

いる。以後、それぞれの画素を画素（１、１）等と呼ぶ。

【００１９】

ゲートドライバ１１００からはゲート信号線Ｇ１、Ｇ２、Ｇ３、Ｇ４およびＧ５に順次選択信号が供給される。ゲート信号線Ｇ１は、画素（１、１）、画素（２、１）、画素（３、１）および画素（４、１）のそれぞれのＴＦＴ１３２０のゲート電極に接続されている。ゲート信号線Ｇ２は、画素（１、２）、画素（２、２）、画素（３、２）および画素（４、２）のそれぞれのＴＦＴ１３２０のゲート電極に接続されている。ゲート信号線Ｇ３は、画素（１、３）、画素（２、３）、画素（３、３）および画素（４、３）のそれぞれのＴＦＴ１３２０のゲート電極に接続されている。ゲート信号線Ｇ４は、画素（１、４）、画素（２、４）、画素（３、４）および画素（４、４）のそれぞれのＴＦＴ１３２０のゲート電極に接続されている。また、ゲート信号線Ｇ５は、画素（１、５）、画素（２、５）、画素（３、５）および画素（４、５）のそれぞれのＴＦＴ１３２０のゲート電極に接続されている。

【００２０】

ソースドライバ１２００へはビデオデータ変換回路２０００で作成されたビデオデータ_n（VIDEO_n）が入力される。ソースドライバ１２００は、ソース信号線Ｓ１、Ｓ２、Ｓ３、Ｓ４を通して各画素のＴＦＴのソース電極へビデオデータを供給する。なお、ソース信号線Ｓ１は、画素（１、１）、画素（１、２）、画素（１、３）、画素（１、４）および画素（１、５）のそれぞれのＴＦＴのソース領域に接続されている。ソース信号線Ｓ２は、画素（２、１）、画素（２、２）、画素（２、３）、画素（２、４）および画素（２、５）のそれぞれのＴＦＴのソース領域に接続されている。ソース信号線Ｓ３は、画素（３、１）、画素（３、２）、画素（３、３）、画素（３、４）および画素（３、５）のそれぞれのＴＦＴのソース領域に接続されている。ソース信号線Ｓ４は、画素（４、１）、画素（４、２）、画素（４、３）、画素（４、４）および画素（４、５）のそれぞれのＴＦＴのソース領域に接続されている。

【００２１】

ここでビデオデータ変換回路２０００の機能および動作について説明する。ビ

ビデオデータ変換回路2000は、ビデオデータ（VIDEO）をビデオデータ_n（VIDEO_n）に変換する。図3を参照する。図3には、ビデオデータ（VIDEO）がビデオデータ_n（VIDEO_n）に変換される様子が示されている。ビデオデータ（VIDEO）において、各ビデオデータには、（1、1）、（1、2）、・・・、（5、4）等の符号が付けられている。以後、各ビデオデータをビデオデータ（1、1）等と呼ぶ。

【0022】

各ビデオデータに付されている符号は画素に付されている符号に対応している。つまり、ビデオデータ（1、1）は画素（1、1）に供給され（つまり、画素（1、1）のTFTのソース領域に供給され）、ビデオデータ（1、2）は画素（1、1）に供給される。

【0023】

変換前のビデオデータ（VIDEO）は、ビデオデータ（1、1）、ビデオデータ（1、2）、ビデオデータ（1、3）、・・・、ビデオデータ（5、3）、ビデオデータ（5、4）という順序で構成されている。しかし、本発明の液晶表示装置の液晶パネル1000においては、ビデオデータが供給される順序は、画素（1、1）、画素（2、1）、画素（3、1）、画素（1、2）、・・・、画素（3、5）、画素（4、5）となる。そこで、ビデオデータ（VIDEO）の各ビデオデータが変換前の順序で構成されたままであると、ビデオデータを適切な画素に入力することができない。

【0024】

そこで、変換前のビデオデータ（VIDEO）は、ビデオデータ変換回路2000によってビデオデータ_n（VIDEO_n）に変換される。変換前のビデオデータ_n（VIDEO_n）は、ビデオデータ（1、1）、ビデオデータ（2、1）、ビデオデータ（3、1）、・・・、ビデオデータ（3、5）、ビデオデータ（4、5）という順序で構成されている。よって、各ビデオデータを適切な画素に入力することができる。

【0025】

ここで、本実施の形態におけるビデオデータ変換回路2000の概略回路構成

図を図4に示す。本実施の形態においては、ビデオデータ変換回路2000は、ビデオフォーマッタ2100、メモリ2200およびアドレスジェネレータ2300を有している。ビデオデータ(VIDEO)は、ビデオデータ変換回路2000のビデオフォーマッタ2100に入力され、メモリ2200に順次記憶される。アドレスジェネレータ2300は、メモリ2200に記憶されたビデオデータを所定の順序で読み出すためのアドレスを指定し、メモリ2200からビデオフォーマッタ2100へビデオ信号の送出を制御する。そして、ビデオフォーマッタ2100からビデオデータ n (VIDEO n)が出力される。

【0026】

なお、本実施の形態においては、ビデオデータ(VIDEO)およびビデオデータ n (VIDEO n)はいずれもデジタルデータであるとした。しかし、D/A変換回路およびA/D変換回路を用いることによってアナログビデオデータを入出力することができる。

【0027】

ここで図6を参照する。図6には、本発明の液晶表示装置において、($m \times n$)画素(縦 \times 横)の画素部を有する液晶パネルを示す。なお、 m 、 n は共に自然数である。なお、各画素には、符号がつけられており、各画素を画素(h 、 k)($h=1 \sim m$ 、 $k=1 \sim n$)で示している。

【0028】

ゲートドライバ3100からはゲート信号線G1、G2、 \dots 、G $n-1$ およびG n に順次選択信号が供給される。ゲート信号線G1は、画素(1、1)、画素(2、1)、 \dots 、画素($m-1$ 、1)および画素(n 、1)のそれぞれのTFT3320のゲート電極に接続されている。ゲート信号線G2は、画素(1、2)、画素(2、2)、 \dots 、画素($m-1$ 、2)および画素(m 、2)のそれぞれのTFT3320のゲート電極に接続されている。同様に、ゲート信号線G n は、画素(1、 n)、画素(2、 n)、 \dots 、画素($m-1$ 、 n)および画素(m 、 n)のそれぞれのTFT3320のゲート電極に接続されている

。。

【0029】

ソースドライバ 3 2 0 0 へはビデオデータ変換回路で作成されたビデオデータ n (VIDEO n) が入力される。ソースドライバ 3 2 0 0 は、ソース信号線 S_1 、 S_2 、 \dots 、 S_{m-1} および S_m を通して各画素の TFT のソース電極へビデオデータを供給する。なお、ソース信号線 S_1 は、画素 (1, 1)、画素 (1, 2)、 \dots 、画素 (1, $n-1$) および画素 (1, n) のそれぞれの TFT 3 3 2 0 のソース領域に接続されている。ソース信号線 S_2 は、画素 (2, 1)、画素 (2, 2)、 \dots 、画素 (2, $n-1$) および画素 (2, n) のそれぞれの TFT 3 3 2 0 のソース領域に接続されている。同様に、ソース信号線 S_m は、画素 (m , 1)、画素 (m , 2)、 \dots 、画素 (m , $n-1$) および画素 (m , n) のそれぞれの TFT 3 3 2 0 のソース領域に接続されている。

【0030】

ここで、図 5 に示す本発明の液晶パネルに入力されるビデオデータ (VIDEO n) の作成について説明する。

【0031】

図 6 を参照する。ビデオデータ変換回路に入力前 (変換前) のビデオデータ (VIDEO) は、ビデオデータ (1, 1)、ビデオデータ (1, 2)、 \dots 、ビデオデータ (1, $n-1$)、ビデオデータ (1, n)、ビデオデータ (2, 1)、ビデオデータ (2, 2)、 \dots 、ビデオデータ (m , 1)、ビデオデータ (m , 2)、 \dots 、ビデオデータ (m , $n-1$)、ビデオデータ (m , n) という順序で構成されている。

【0032】

変換前のビデオデータ (VIDEO) は、ビデオデータ変換回路によってビデオデータ n (VIDEO n) に変換される。変換前のビデオデータ n (VIDEO n) は、ビデオデータ (1, 1)、ビデオデータ (2, 1)、 \dots 、ビデオデータ ($m-1$, 1)、ビデオデータ (m , 1)、ビデオデータ (1, 2)、 \dots 、ビデオデータ (m , $n-1$)、ビデオデータ (1, m)、ビデオデータ (2, n)、 \dots 、ビデオデータ ($m-1$, n)、ビデオデータ (m , n) という順序で構成されている。よって、各ビデオデータを適切な画素に入力することができる。

【0033】

よって、本実施の形態の液晶パネルにおいては、ビデオデータ (VIDEO) のビデオデータ (h, k) は、ビデオデータ n (VIDEO_n) を構成する、m (k-1) + h 番目のビデオデータとなる。

【0034】

例えば、ビデオデータ (VIDEO) のビデオデータ (1, 1) は、ビデオデータ n (VIDEO_n) を構成する 1 番目のビデオデータとなる。また、ビデオデータ (VIDEO) のビデオデータ (2, 2) は、ビデオデータ n (VIDEO_n) を構成する (m+2) 番目のビデオデータとなる。また、ビデオデータ (VIDEO) のビデオデータ (m, n) は、ビデオデータ n (VIDEO_n) を構成する m n 番目のビデオデータとなる。

【0035】

このようにビデオデータ変換回路のアドレスジェネレータを制御することによって、メモリからビデオデータを適切な順序で読み出し、液晶パネルに入力することによって、所望の映像を得ることができる。

【0036】

図7を参照する。図7には、本実施の形態の液晶パネルにおいて、左右両側にソースドライバを設けている。

【0037】

ソースドライバ4200は奇数番目のソース信号線S1およびS3にビデオデータを供給し、ソースドライバ4300は偶数番目のソース信号線S2およびS4にビデオデータを供給する。

【0038】

こうすることによって、ソースドライバの回路構造が複雑になりソースドライバの占有面積が大きくなった場合においても、本発明を適用することができる。

【0039】

また、ゲートドライバの動作方向（選択信号の供給順序）を逆にすることで、表示画面の左右反転を行うことが簡単に実現できる。

【0040】

また、図 1 6 に示すように、ビデオデータ (VIDEO) をビデオデータ変換回路によって変換する際に、各ビデオデータの 4 分割を行い、VIDEO_{n1}、VIDEO_{n2}、VIDEO_{n3} および VIDEO_{n4} を作成している。ここでは、ビデオデータ (VIDEO) を 4 分割した例を示したが、分割数はこれに限定されるわけではない。

【0041】

以下に本発明の実施例について説明する。

【0042】

【実施例】

(実施例 1)

本実施例においては、本発明の液晶表示装置の液晶パネルの作製方法例を図 8 ～図 1 2 を用いて説明する。本実施例の液晶パネルにおいては、画素部、ソースドライバ、ゲートドライバ等を一つの基板上に一体形成される。なお、説明の便宜上、画素の TFT とソースドライバ (駆動回路) のアナログスイッチを構成する NchTFT とインバータ回路を構成する PchTFT および NchTFT とが同一基板上に形成されることを示すものとする。

【0043】

図 8 (A) において、基板 6001 には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも 10 ～ 20℃ 程度低い温度であらかじめ熱処理しておいても良い。この基板 6001 の TFT 形成表面には、基板 6001 からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜 6002 を形成する。例えば、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を 100 nm、同様に SiH_4 、 N_2O から作製される酸化窒化シリコン膜を 200 nm の厚さに積層形成する。

【0044】

次に、20 ～ 150 nm (好ましくは 30 ～ 80 nm) の厚さで非晶質構造を有する半導体膜 6003a を、プラズマ CVD 法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマ CVD 法で非晶質シリコン膜を 54 nm の

厚さに形成する。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜 6002 と非晶質シリコン膜 6003a とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。その場合、下地膜を形成した後、一旦大気雰囲気中に晒すことがなくその表面の汚染を防ぐことが可能となり、作製する TFT の特性バラツキやしきい値電圧の変動を低減させることができる（図 8（A））。

【0045】

そして、公知の結晶化技術を使用して非晶質シリコン膜 6003a から結晶質シリコン膜 6003b を形成する。例えば、レーザー結晶化法や熱結晶化法（固相成長法）を適用すれば良いが、ここでは、特開平 7-130652 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜 6003b を形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400～500℃で 1 時間程度の熱処理を行い、含有水素量を 5 atom% 以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ（本実施例では 54 nm）よりも 1～15% 程度減少する（図 8（B））。

【0046】

そして、結晶質シリコン膜 6003b を島状にパターンニングして、島状半導体層 6004～6007 を形成する。その後、プラズマ CVD 法またはスパッタ法により 50～150 nm の厚さの酸化シリコン膜によるマスク層 6008 を形成する（図 8（C））。本実施例では、マスク層 6008 の厚さは 130 nm とする。

【0047】

そしてレジストマスク 6009 を設け、n チャネル型 TFT を形成することとなる島状半導体層 6004～6007 の全面に $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度で p 型を付与する不純物元素としてボロン（B）を添加する。このボロン（B）の添加は、しきい値電圧を制御する目的でなされる。ボロン（B）

の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときと同時に添加しておくこともできる。ここでのボロン（B）添加は必ずしも必要ではない（図 8（D））。

【0048】

ドライバ等の駆動回路の n チャンネル型 TFT の LDD 領域を形成するために、n 型を付与する不純物元素を島状半導体層 6010～6012 に選択的に添加する。そのため、あらかじめレジストマスク 6013～6016 を形成する。n 型を付与する不純物元素としては、リン（P）や砒素（As）を用いれば良く、ここではリン（P）を添加すべく、フォスフィン（ PH_3 ）を用いたイオンドープ法を適用した。形成された不純物領域 6017、6018 のリン（P）濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域 6017～6019 に含まれる n 型を付与する不純物元素の濃度を（ n^- ）と表す。また、不純物領域 6019 は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン（P）を添加する（図 9（A））。その後、レジストマスク 6013～6016 を除去する。

【0049】

次に、マスク層 6008 をフッ酸などにより除去した後、図 8（D）と図 9（A）で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で $500 \sim 600^\circ\text{C}$ で 1～4 時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用いる。レーザー光には KrF エキシマレーザー光（波長 248 nm ）を用いる。本実施例では、レーザー光の形状を線状ビームに加工して用い、発振周波数 $5 \sim 50 \text{ Hz}$ 、エネルギー密度 $100 \sim 500 \text{ mJ/cm}^2$ として線状ビームのオーバーラップ割合を $80 \sim 98\%$ で走査することによって島状半導体層が形成された基板全面を処理する。尚、レーザー光の照射条件には何ら限定される事項はなく適宜決定することができる。

【0050】

そして、ゲート絶縁膜 6020 をプラズマ CVD 法またはスパッタ法を用いて $10 \sim 150 \text{ nm}$ の厚さでシリコンを含む絶縁膜で形成する。例えば、 120 nm

mの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い（図9（B））。

【0051】

次に、ゲート電極を形成するために第1の導電層を成膜する。この第1の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層（A）6021と金属膜から成る導電層（B）6022とを積層させる。導電層（B）6022はタンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜（代表的にはMo-W合金膜またはMo-Ta合金膜）で形成すれば良く、導電層（A）6021は窒化タンタル（Ta₂N₅）、窒化タングステン（WN）、窒化チタン（TiN）膜、窒化モリブデン（MoN）で形成する。また、導電層（A）6021は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層（B）6022は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン（W）は酸素濃度を30ppm以下とすることで20μΩcm以下の比抵抗値を実現することができる。

【0052】

導電層（A）6021は10～50nm（好ましくは20～30nm）とし、導電層（B）6022は200～400nm（好ましくは250～350nm）とすれば良い。本実施例では、導電層（A）6021に50nmの厚さの窒化タンタル膜を、導電層（B）6022には350nmのTa膜を用い、いずれもスパッタ法で形成する。このスパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層（A）6021の下に2～20nm程度の厚さでリン（P）をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層（A）または導電層（B）が微量に含有するアルカリ金属

元素がゲート絶縁膜 6020 に拡散するのを防ぐことができる (図 9 (C))。

【0053】

次に、レジストマスク 6023～6027 を形成し、導電層 (A) 6021 と導電層 (B) 6022 とを一括でエッチングしてゲート電極 6028～6031 と容量配線 6032 を形成する。ゲート電極 6028～6031 と容量配線 6032 は、導電層 (A) から成る 6028a～6032a と、導電層 (B) から成る 6028b～6032b とが一体として形成されている。この時、後にドライバ等の駆動回路を構成する TFT のゲート電極 6028～6030 は不純物領域 6017、6018 の一部と、ゲート絶縁膜 6020 を介して重なるように形成する (図 9 (D))。

【0054】

次いで、ドライバの P チャンネル型 TFT のソース領域およびドレイン領域を形成するために、P 型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極 6028 をマスクとして、自己整合的に不純物領域を形成する。このとき、N チャンネル型 TFT が形成される領域はレジストマスク 6033 で被覆しておく。そして、ジボラン (B_2H_6) を用いたイオンドーブ法で不純物領域 6034 を形成した。この領域のボロン (B) 濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域 6034 に含まれる P 型を付与する不純物元素の濃度を (p^{++}) と表す (図 10 (A))。

【0055】

次に、N チャンネル型 TFT において、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク 6035～6037 を形成し、N 型を付与する不純物元素が添加して不純物領域 6038～6042 を形成した。これは、フォスフィン (PH_3) を用いたイオンドーブ法で行い、この領域のリン (P) 濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域 6038～6042 に含まれる N 型を付与する不純物元素の濃度を (n^+) と表す (図 10 (B))。

【0056】

不純物領域 6038～6042 には、既に前工程で添加されたリン (P) また

はボロン (B) が含まれているが、それに比して十分に高い濃度でリン (P) が添加されるので、前工程で添加されたリン (P) またはボロン (B) の影響は考えなくても良い。また、不純物領域 6038 に添加されたリン (P) 濃度は図 10 (A) で添加されたボロン (B) 濃度の $1/2 \sim 1/3$ なので p 型の導電性が確保され、TFT の特性に何ら影響を与えることはなかった。

【0057】

そして、画素部の n チャネル型 TFT の LDD 領域を形成するための n 型を付与する不純物添加の工程を行った。ここではゲート電極 6031 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドープ法で添加する。添加するリン (P) の濃度は $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であり、図 9 (A) および図 10 (A) と図 10 (B) で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域 6043、6044 のみが形成される。本明細書中では、この不純物領域 6043、6044 に含まれる n 型を付与する不純物元素の濃度を (n^-) と表す (図 10 (C))。

【0058】

ここで、ゲート電極の Ta のピーリングを防止するために層間膜として SiO₂ 膜等を 200 nm の厚さで形成しても良い。

【0059】

その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーストアニール法、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) で行うことができる。ここではファーストアニール法で活性化工程を行った。熱処理は酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400 ~ 800 °C、代表的には 500 ~ 600 °C で行うものであり、本実施例では 500 °C で 4 時間の熱処理を行った。また、基板 6001 に石英基板のような耐熱性を有するものを使用した場合には、800 °C で 1 時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができる。なお、上述のゲート電極の Ta のピーリングを防止するための層間膜を形成した場合には、この効果は得られない場合がある。

【0060】

この熱処理において、ゲート電極6028～6031と容量配線6032形成する金属膜6028b～6032bは、表面から5～80nmの厚さでその表面に導電層(C)6028c～6032cが形成される。例えば、導電層(B)6028b～6032bがタングステン(W)の場合には窒化タングステン(WN)が形成され、タンタル(Ta)の場合には窒化タンタル(TaN)を形成することができる。また、導電層(C)6028c～6032cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極6028～6031及び容量配線6032を晒しても同様に形成することができる。さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0061】

島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留する。勿論、そのような状態でもTFETを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましい。この触媒元素を除去する手段の一つにリン(P)によるゲッターリング作用を利用する手段がある。ゲッターリングに必要なリン(P)の濃度は図10(B)で形成した不純物領域(n^+)と同程度であり、ここで実施される活性化工程の熱処理により、 n チャネル型TFETおよび p チャネル型TFETのチャネル形成領域から触媒元素をゲッターリングをすることができた(図10(D))。

【0062】

第1の層間絶縁膜6045は500～1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線6046～6049と、ドレイン配線6050～6053を形成する(図1

1 (A))。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜500nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とする。

【0063】

次に、パッシベーション膜6054として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を50～500nm（代表的には100～300nm）の厚さで形成する。本実施例においては、パッシベーション膜6054は窒化シリコン膜50nmと酸化シリコン膜24.5nmとの積層膜とした。この状態で水素化処理を行うとTFETの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜6054に開口部を形成しておいても良い（図11（A））。

【0064】

その後、有機樹脂からなる第2層間絶縁膜6055を1.0～1.5μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのアクリルを用い、250℃で焼成して形成する（図11（B））。

【0065】

ここで、ソースドライバのD/A変換回路の容量を形成する。D/A変換回路の容量の電極となるべき電極はドレイン配線と同一配線層に形成されている。前記電極の上部の第2層間絶縁膜6055を全部除去する（図示せず）。次に、ブラックマトリクスを形成する（図示せず）。本実施例ではブラックマトリクスは、Ti膜を100nmに形成し、その後AlとTiの合金膜を300nmに形成した積層構造とする。よって、本実施例では、前記電極とブラックマトリクスとの間でD/A変換回路の容量が形成される。

【0066】

その後、有機樹脂からなる第3層間絶縁膜6059を1.0～1.5 μ mの厚さに形成する。有機樹脂としては、第2層間絶縁膜と同様の樹脂をもちいることができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0067】

そして、第2層間絶縁膜6055および第3層間絶縁膜6059にドレイン配線6053に達するコンタクトホールを形成し、画素電極6060を形成する。本発明の透過型液晶パネルにおいては、画素電極6060にはITO等の透明導伝膜を用いる。(図11(B))。

【0068】

こうして同一基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路にはpチャネル型TFT6101、第1のnチャネル型TFT6102、第2のnチャネル型TFT6103、画素部には画素TFT6104、保持容量6105が形成されている(図12)。本明細書では便宜上このような基板をアクティブマトリクス基板と呼んでいる。

【0069】

次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、透過型液晶パネルを作製する工程を説明する。

【0070】

図12の状態のアクティブマトリクス基板に配向膜6061を形成する。本実施例では、配向膜6061にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板6062、透明導電膜からなる対向電極6063、配向膜6064とで構成される。

【0071】

なお、本実施例では、配向膜には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0072】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル

組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶 6065 を注入し、封止剤（図示せず）によって完全に封止する。よって、図 12 に示すような透過型液晶パネルが完成する。

【0073】

なお本実施例では、透過型液晶パネルが TN（ツイスト）モードによって表示を行うようにした。そのため、偏光板（図示せず）が透過型液晶パネルの上部に配置された。

【0074】

駆動回路の p チャンネル型 TFT 6101 には、島状半導体層 6004 にチャンネル形成領域 806、ソース領域 807a、807b、ドレイン領域 808a、808b を有している。第 1 の n チャンネル型 TFT 6102 には、島状半導体層 6005 にチャンネル形成領域 809、ゲート電極 6071 と重なる LDD 領域 810（以降、このような LDD 領域を Lov と記す）、ソース領域 811、ドレイン領域 812 を有している。この Lov 領域のチャンネル長方向の長さは 0.5～3.0 μm 、好ましくは 1.0～1.5 μm とした。第 2 の n チャンネル型 TFT 6103 には、島状半導体層 6006 にチャンネル形成領域 813、LDD 領域 814、815、ソース領域 816、ドレイン領域 817 を有している。この LDD 領域は Lov 領域とゲート電極 6072 と重ならない LDD 領域（以降、このような LDD 領域を Loff と記す）とが形成され、この Loff 領域のチャンネル長方向の長さは 0.3～2.0 μm 、好ましくは 0.5～1.5 μm である。画素 TFT 6104 には、島状半導体層 6007 にチャンネル形成領域 818、819、Loff 領域 820～823、ソースまたはドレイン領域 824～826 を有している。Loff 領域のチャンネル長方向の長さは 0.5～3.0 μm 、好ましくは 1.5～2.5 μm である。また、画素 TFT 6104 のチャンネル形成領域 818、819 と画素 TFT の LDD 領域である Loff 領域 820～823 との間には、オフセット領域（図示せず）が形成されている。さらに、容量配線 6074 と、ゲート絶縁膜 6020 から成る絶縁膜と、画素 TFT 6073 のドレイン領域 826 に接続し、n 型を付与する不純物元素が添加された半導体層 827 とから保持容量 805 が形成されている。図 12 では画素 TFT 804 をダブルゲート構造と

したが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【 0 0 7 5 】

以上の様に本実施例においては、画素 T F T およびドライバが要求する仕様に
応じて各回路を構成する T F T の構造を最適化し、液晶パネルの動作性能と信頼
性を向上させることを可能とすることができる。

【 0 0 7 6 】

なお、本実施例においては透過型の液晶パネルについて説明した。しかし、本
発明の液晶パネルは、これに限定されるわけではなく、透過型の液晶パネルとす
ることもできる。

【 0 0 7 7 】

(実施例 2)

上述の本発明の液晶表示装置の液晶パネルにはネマチック液晶以外にも様々な
液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Dr
iving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Respo
nse Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue
et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroe
lectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T.
Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless a
ntiferroelectricity in liquid crystals and its application to displays"
by S. Inui et al. や、米国特許第 5594569 号に開示された液晶を用いることが
可能である。

【 0 0 7 8 】

等方相-コレステリック相-カイラルスメクティック C 相転移系列を示す強誘
電性液晶 (F L C) を用い、D C 電圧を印加しながらコレステリック相-カイラ
ルスメクティック C 相転移をさせ、かつコーンエッジをほぼラビング方向に一致
させた単安定 F L C の電気光学特性を図 1 4 に示す。図 1 4 に示すような強誘電
性液晶による表示モードは「H a l f - V 字スイッチングモード」と呼ばれてい
る。図 1 4 に示すグラフの縦軸は透過率 (任意単位)、横軸は印加電圧である。

「Half-V字スイッチングモード」については、寺田らの”Half-V字スイッチングモードFLCD”、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの”強誘電性液晶による時分割フルカラーLCD”、液晶第3巻第3号第190頁に詳しい。

【0079】

図13に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本発明の液晶表示装置の液晶パネルには、このような電気光学特性を示す強誘電性液晶も用いることができる。

【0080】

また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶（AFLC）という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm～2μm）のものも見出されている。

【0081】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0082】

なお、このような無しきい値反強誘電性混合液晶を本発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

【0083】

（実施例3）

【0084】

本発明の液晶表示装置は、様々な電子機器に組み込んで用いることができる。

【0085】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター

(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図14および図15に示す。

【0086】

図14(A)はフロント型プロジェクターであり、本体10001、本発明の液晶表示装置10002、光源10003、光学系10004、スクリーン10005で構成されている。なお、図15(A)には、液晶表示装置を1つ組み込んだフロントプロジェクターが示されているが、液晶表示装置を3個(R、G、Bの光にそれぞれ対応させる)組み込んだことによって、より高解像度・高精細のフロント型プロジェクタを実現することができる。

【0087】

図14(B)はリア型プロジェクターであり、10006は本体、10007は本発明の液晶表示装置であり、10008は光源であり、10009はリフレクター、10010はスクリーンである。なお、図15(B)には、液晶表示装置を3個(R、G、Bの光にそれぞれ対応させる)組み込んだリア型プロジェクターが示されている。また、本発明の液晶表示装置を1個組み込んだリア型プロジェクタも提供することができる。

【0088】

図15(A)はパーソナルコンピュータであり、本体7001、映像入力部7002、本発明の液晶表示装置7003、キーボード7004で構成される。

【0089】

図15(B)はビデオカメラであり、本体7101、本発明の液晶表示装置7102、音声入力部7103、操作スイッチ7104、バッテリー7105、受像部7106で構成される。

【0090】

図15(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体7201、カメラ部7202、受像部7203、操作スイッチ7204、本発明の液晶表示装置7205で構成される。

【0091】

図15(D)はゴーグル型ディスプレイであり、本体7301、本発明の液晶表示装置7302、アーム部7303で構成される。

【0092】

図15(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体7401、本発明の液晶表示装置7402、スピーカ部7403、記録媒体7404、操作スイッチ7405で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0093】

図15は、本発明の液晶表示装置を用いたディスプレイ装置である。7501は本体、7502は本発明の液晶表示装置である。

【0094】

以上の様に、本発明の液晶表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に適用できる。

【0095】

【発明の効果】

本発明によるとソースドライバの占有面積が大きい場合においても、小型の液晶パネルを用いた液晶表示装置が実現できる。

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の概略構成図である。

【図2】 本発明の液晶表示装置の液晶パネルの回路構成図である。

【図3】 本発明のビデオデータ変換回路のビデオデータ(VIDEO)の変換動作を示すチャートである。

【図4】 本発明のビデオデータ変換回路の回路構成例である。

【図5】 本発明の液晶表示装置の液晶パネルの回路構成図である。

【図6】 本発明のビデオデータ変換回路のビデオデータ(VIDEO)の変換動作を示すチャートである。

【図 7】 本発明の液晶表示装置の液晶パネルの回路構成図である。

【図 8】 本発明の液晶表示装置の液晶パネルの作製工程例を示す図である

【図 9】 本発明の液晶表示装置の液晶パネルの作製工程例を示す図である

【図 1 0】 本発明の液晶表示装置の液晶パネルの作製工程例を示す図である。

【図 1 1】 本発明の液晶表示装置の液晶パネルの作製工程例を示す図である。

【図 1 2】 本発明の液晶表示装置の液晶パネルの作製工程例を示す図である。

【図 1 3】 H a l f - V 字型の電気光学特性を示す強誘電性液晶の印加電圧 - 透過率特性を示すグラフである。

【図 1 4】 本発明の液晶表示装置を組み込んだ電子機器の例である。

【図 1 5】 本発明の液晶表示装置を組み込んだ電子機器の例である。

【図 1 6】 本発明のビデオデータ変換回路のビデオデータ (V I D E O) の変換動作を示すチャートである。

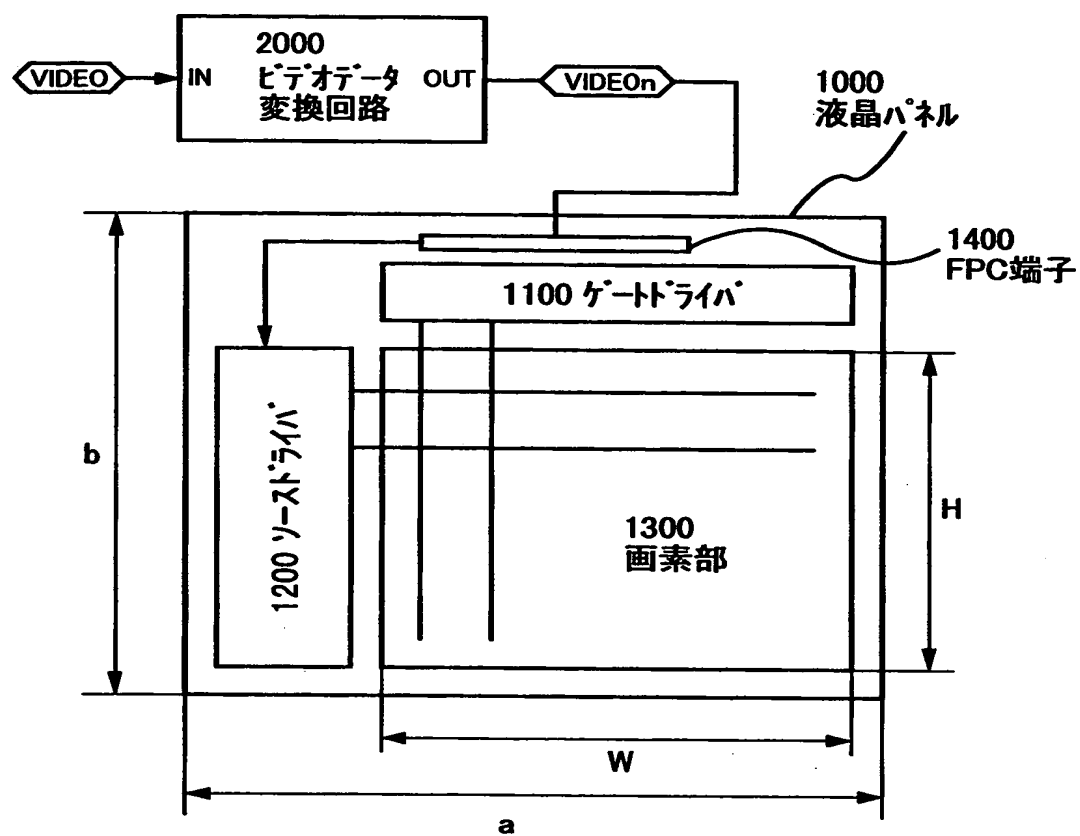
【図 1 7】 従来の液晶パネルの概略構成図である。

【符号の説明】

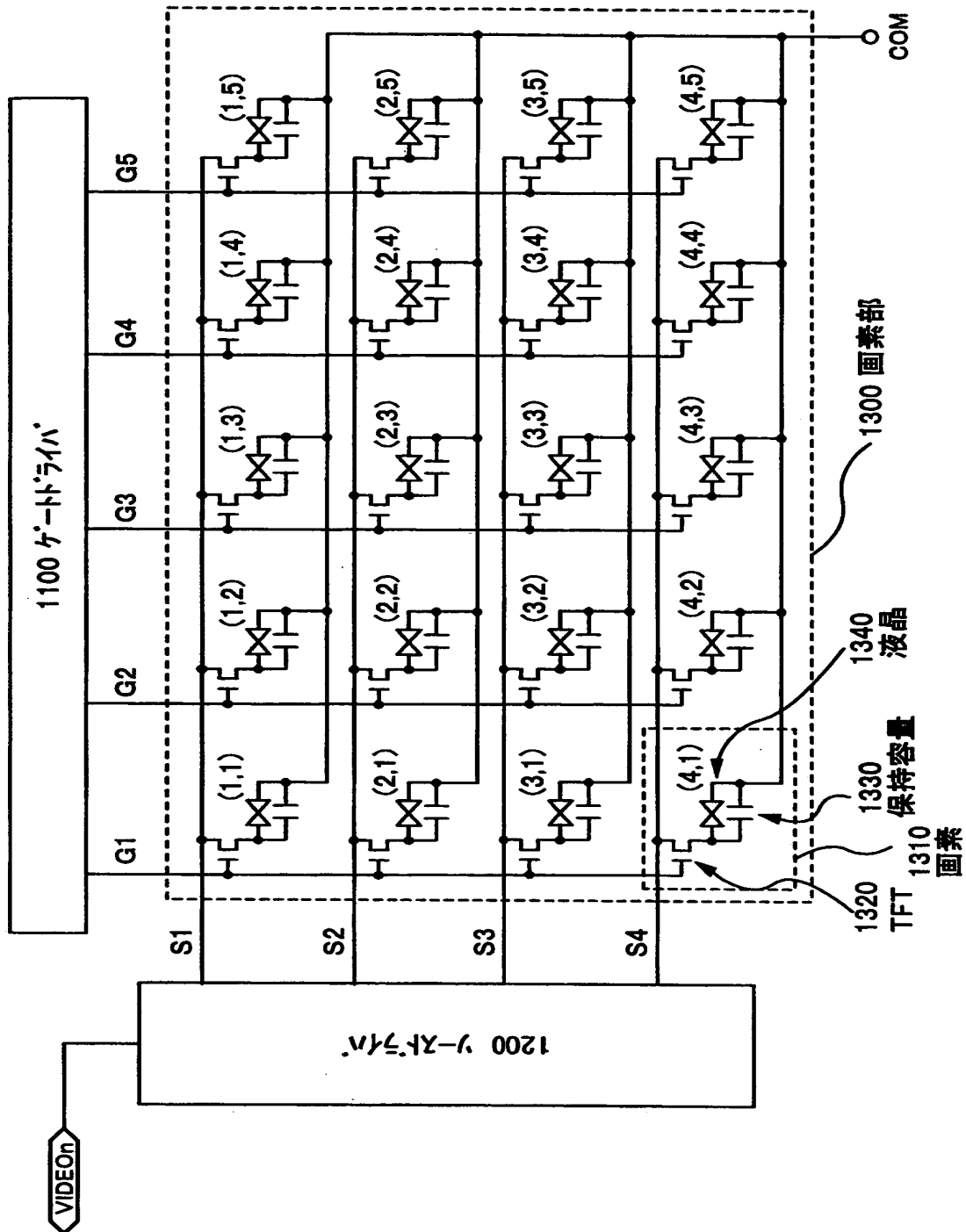
- 1 0 0 0 液晶パネル
- 1 1 0 0 ゲートドライバ
- 1 2 0 0 ソースドライバ
- 1 3 0 0 画素部
- 1 4 0 0 F P C 端子
- 2 0 0 0 ビデオデータ変換回路

【書類名】 図面

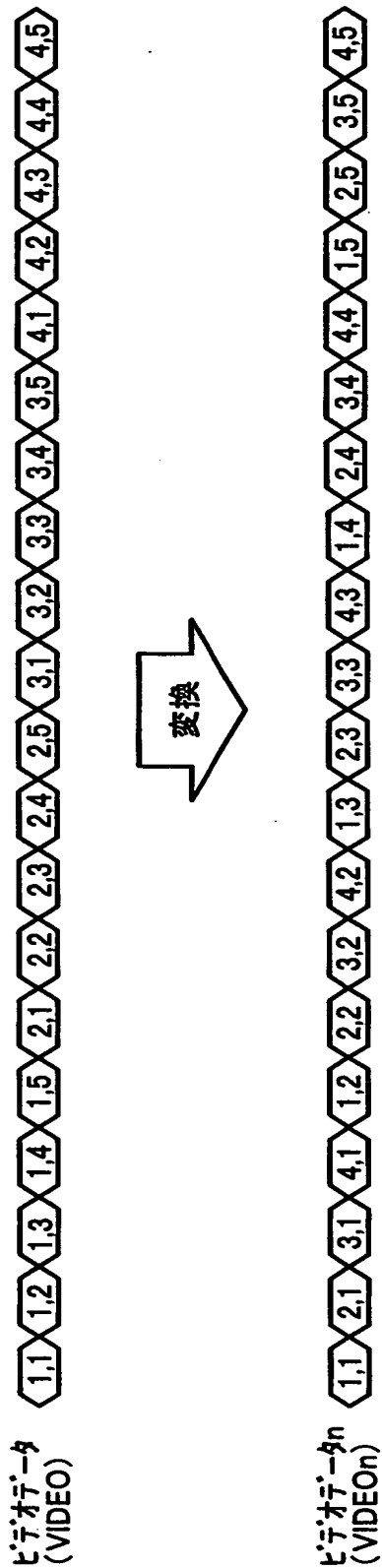
【図 1】



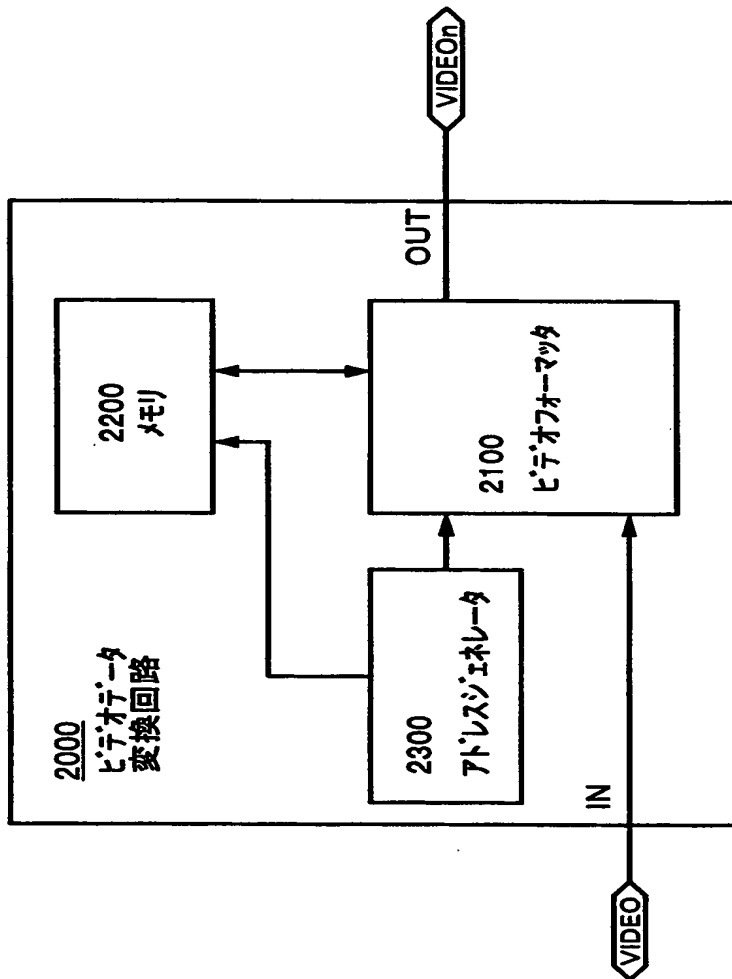
【図 2】



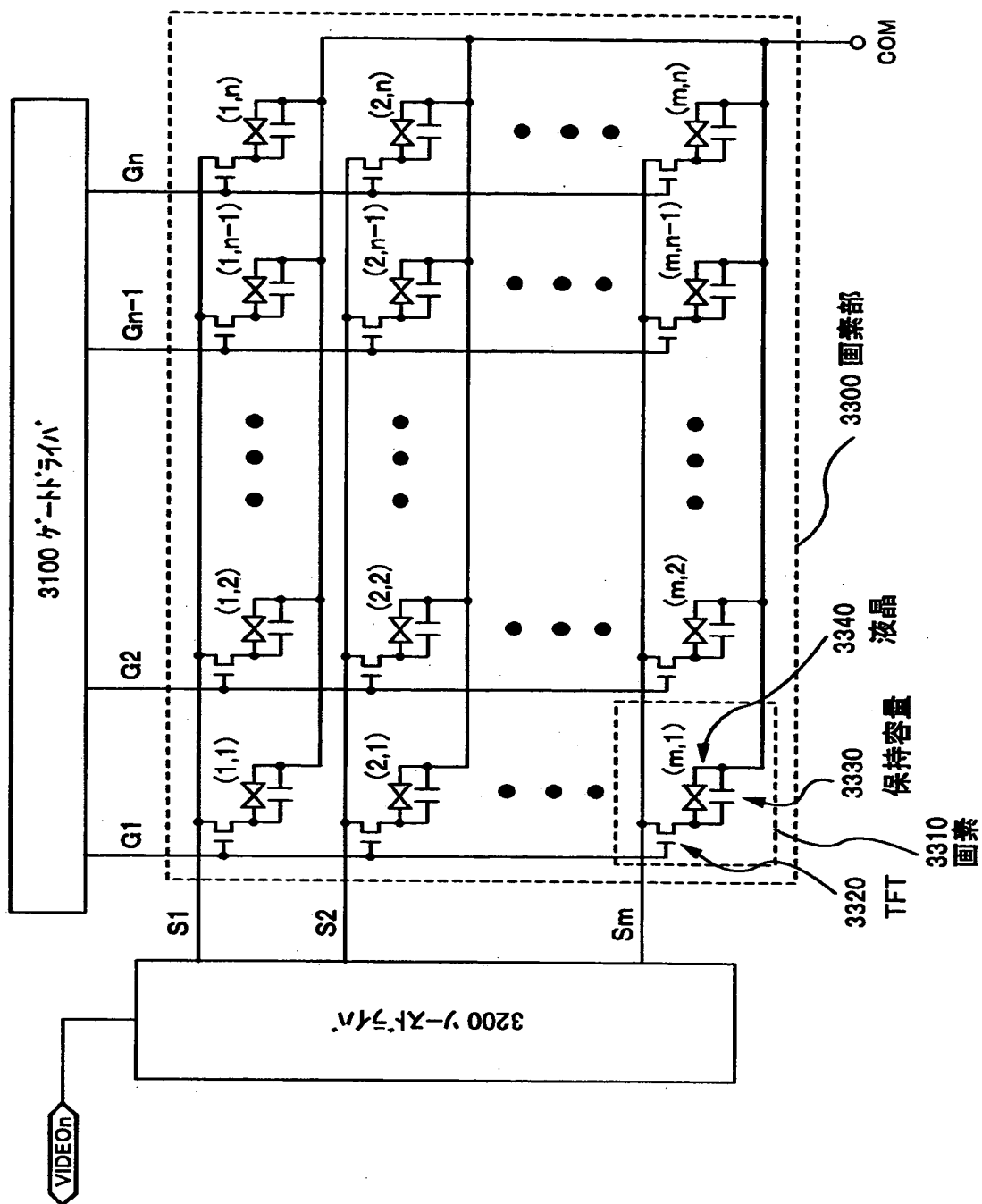
【図 3】



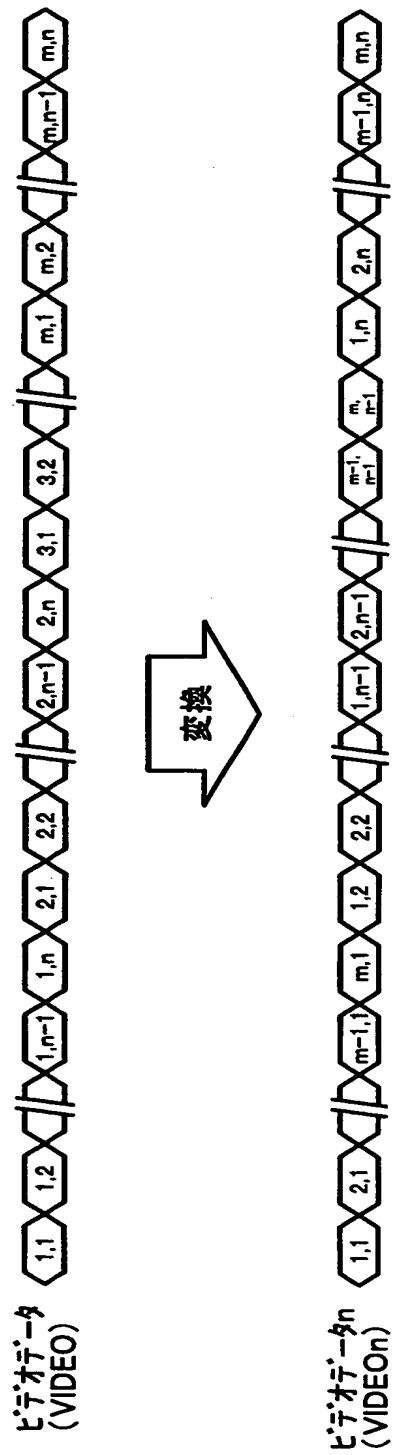
【図 4】



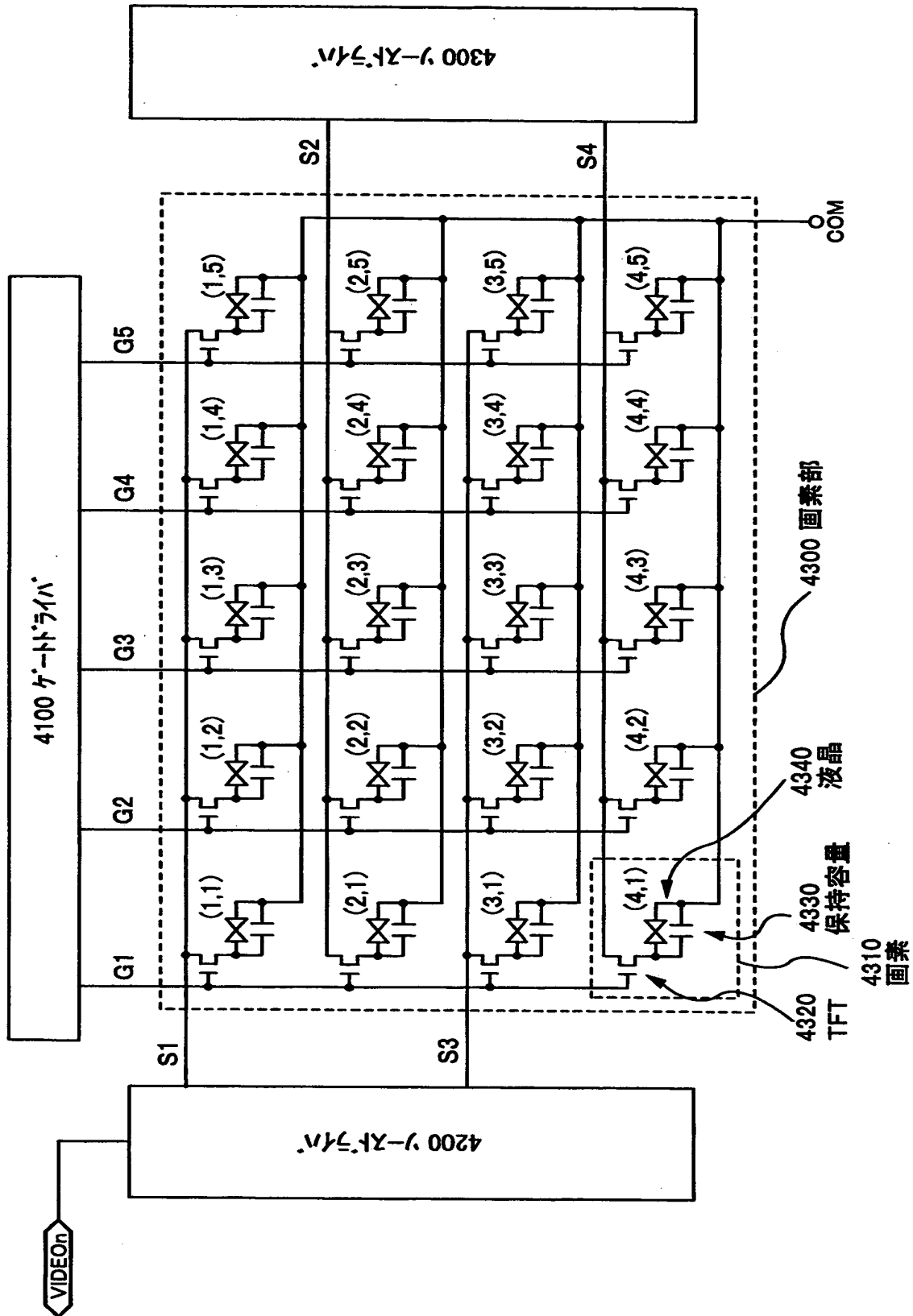
【図 5】



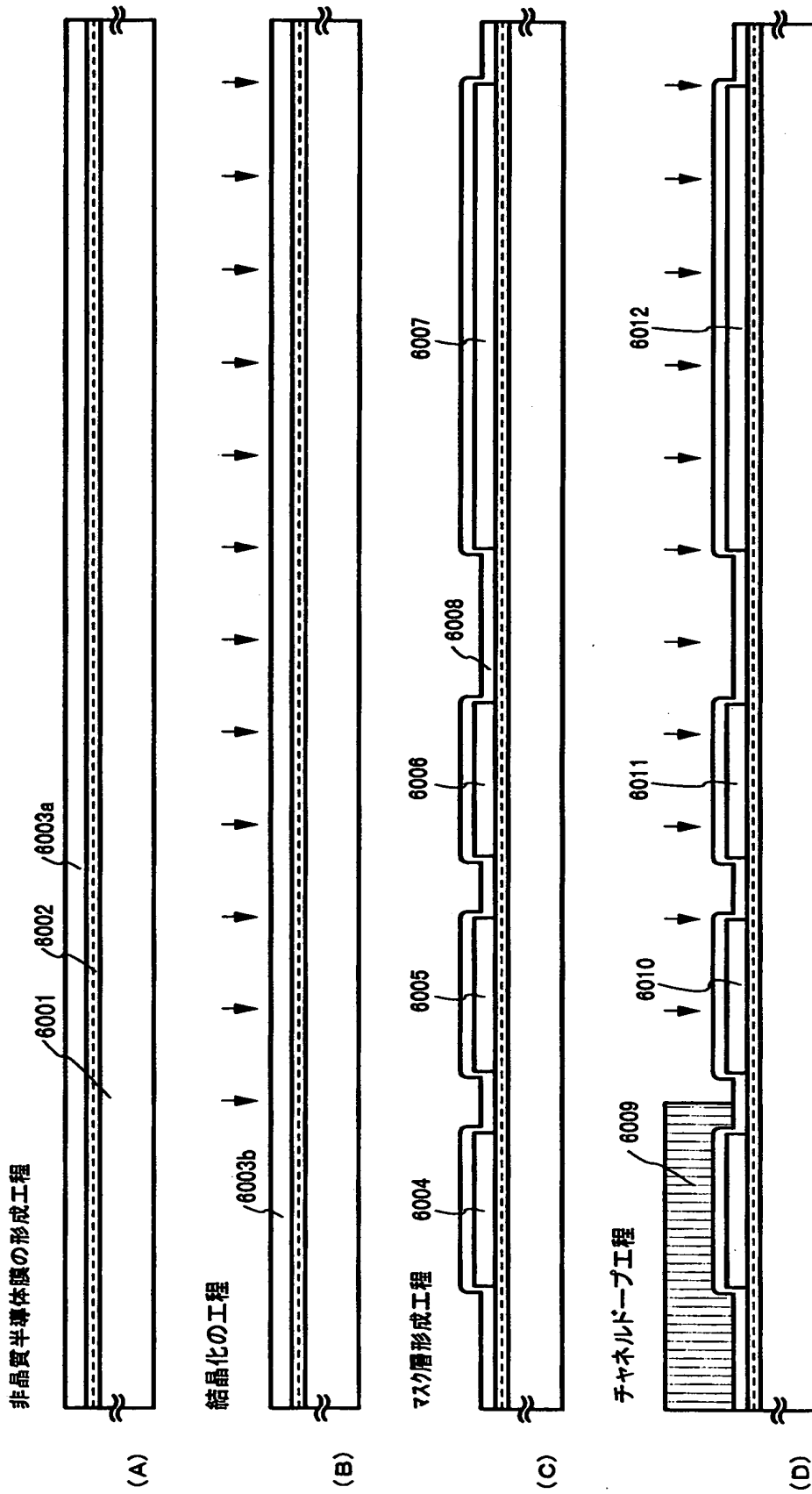
【図 6】



【図 7】

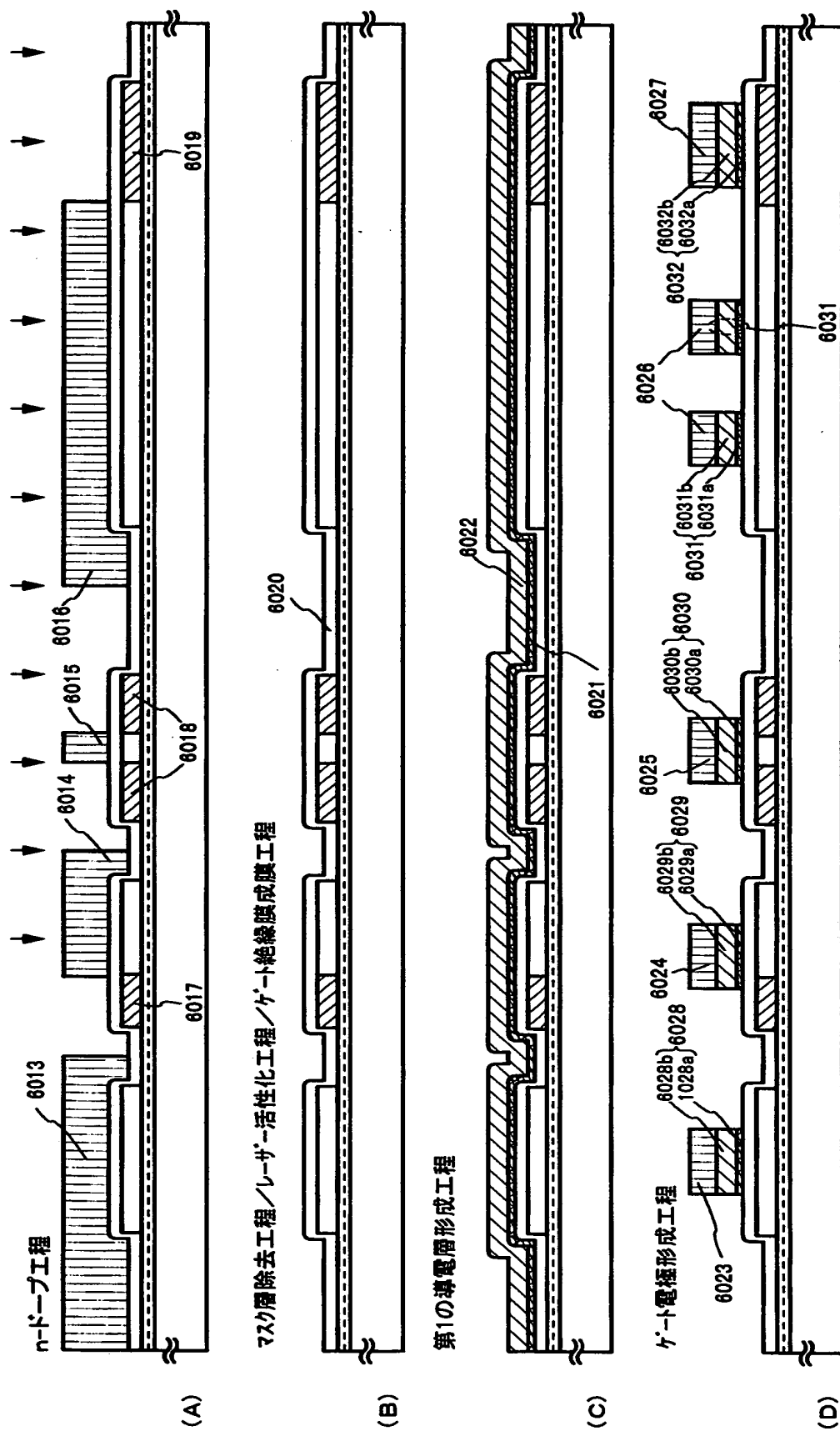


【図 8】



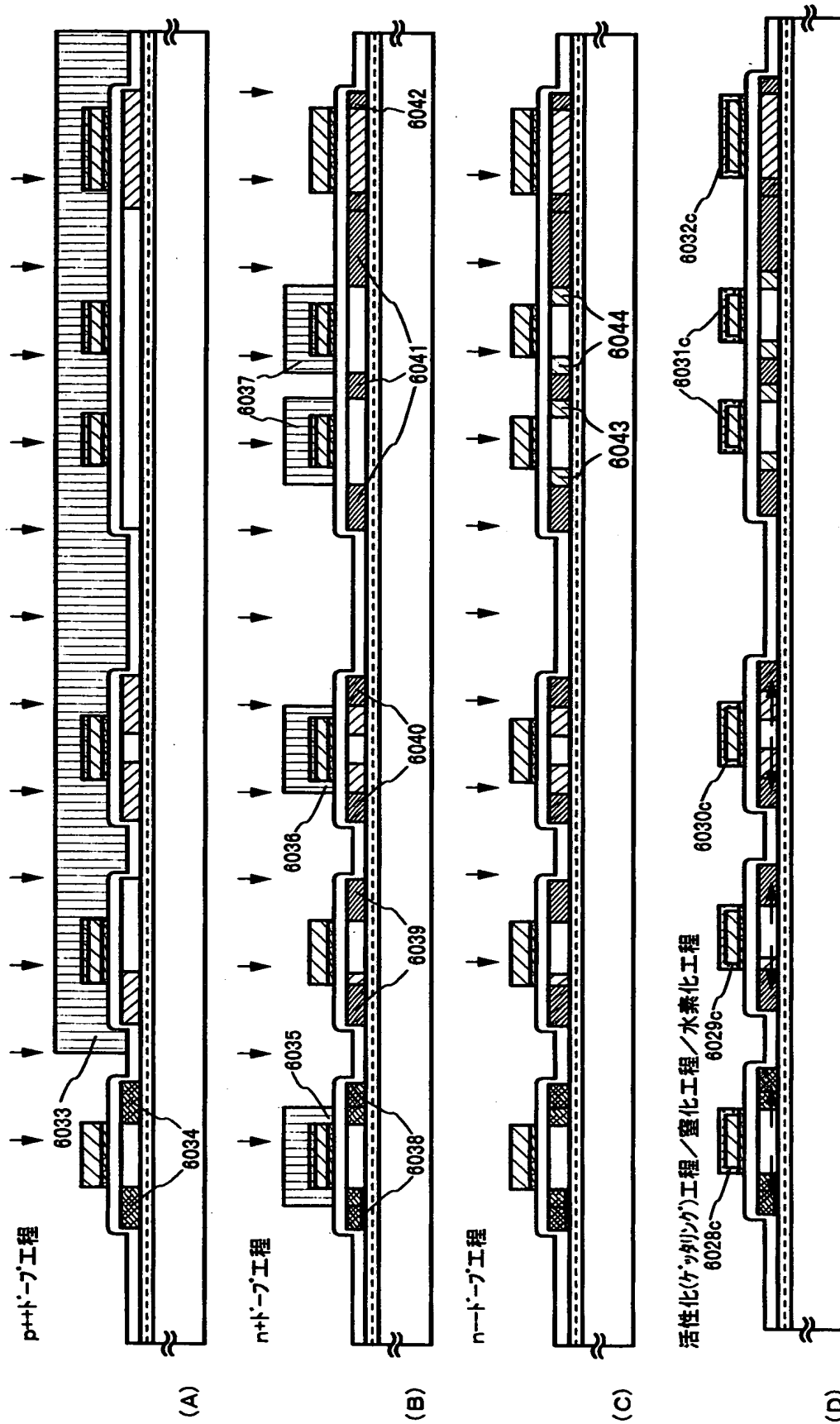
特平 1 1 - 2 8 7 5 8 3

【図 9】



特平 1 1 - 2 8 7 5 8 3

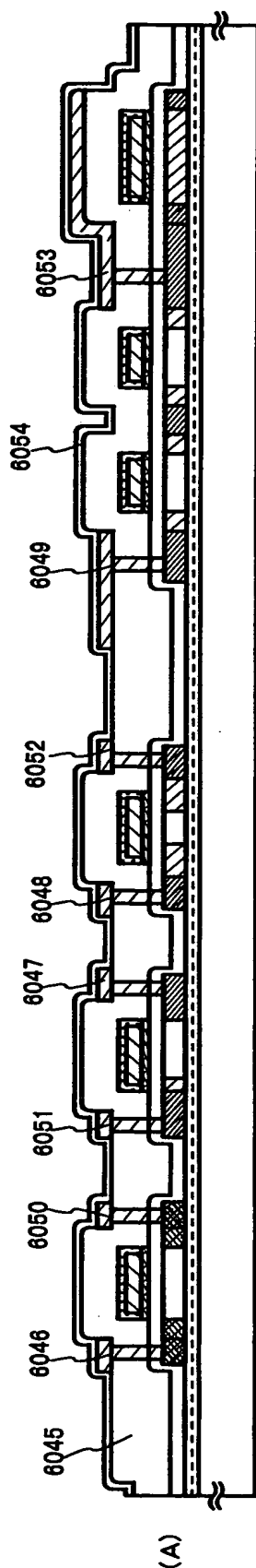
【図 1 0】



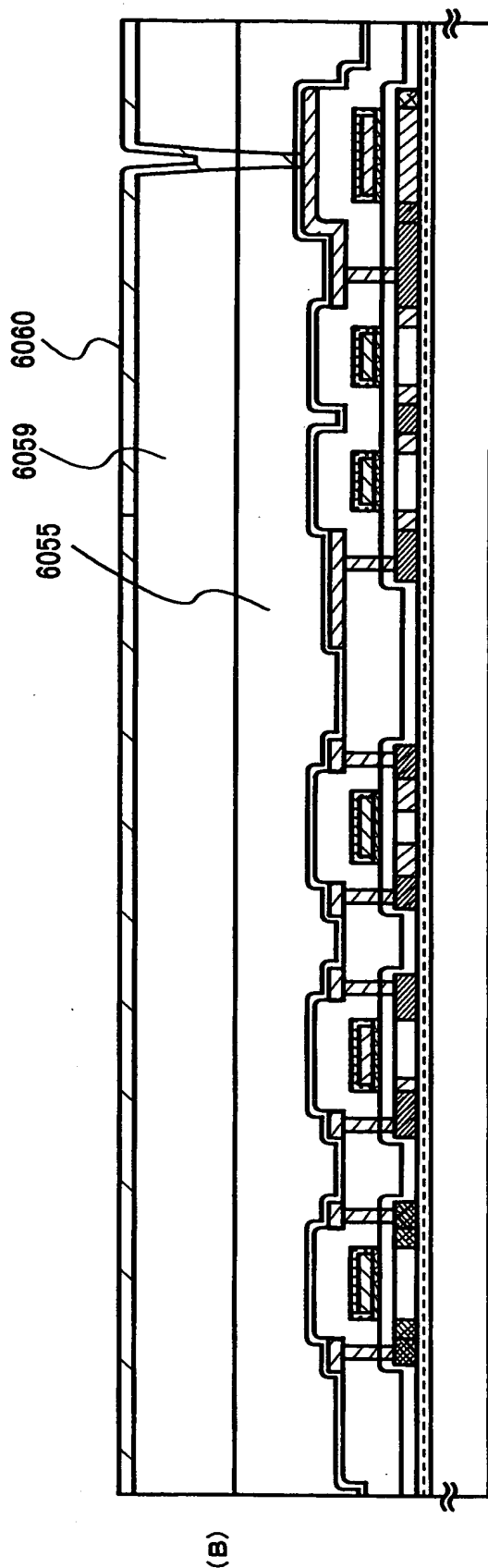
特平 1 1 - 2 8 7 5 8 3

【図 1 1】

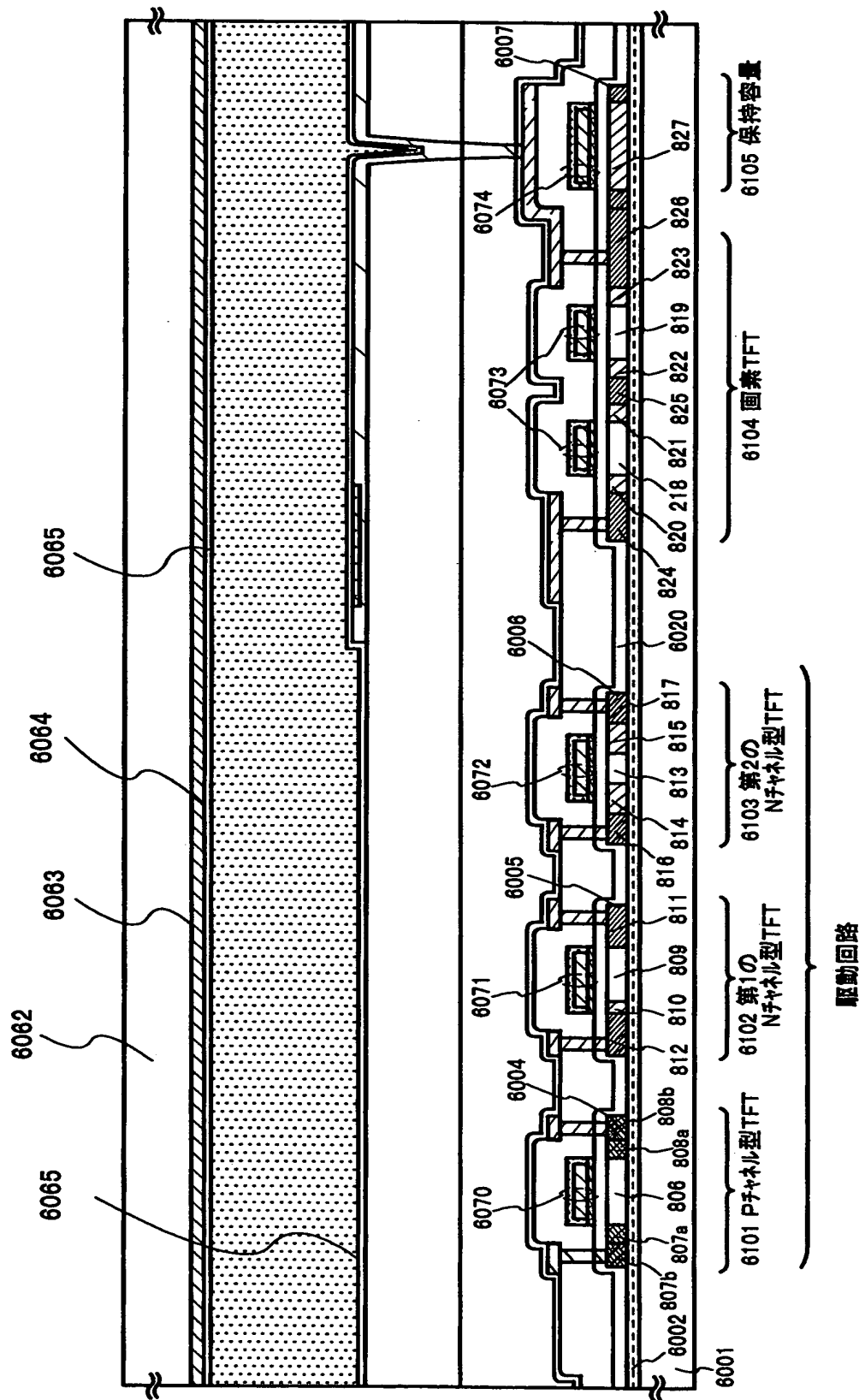
層間膜形成工程／コンタクトホール形成工程／配線形成工程
ハッパ－ンコン膜形成工程



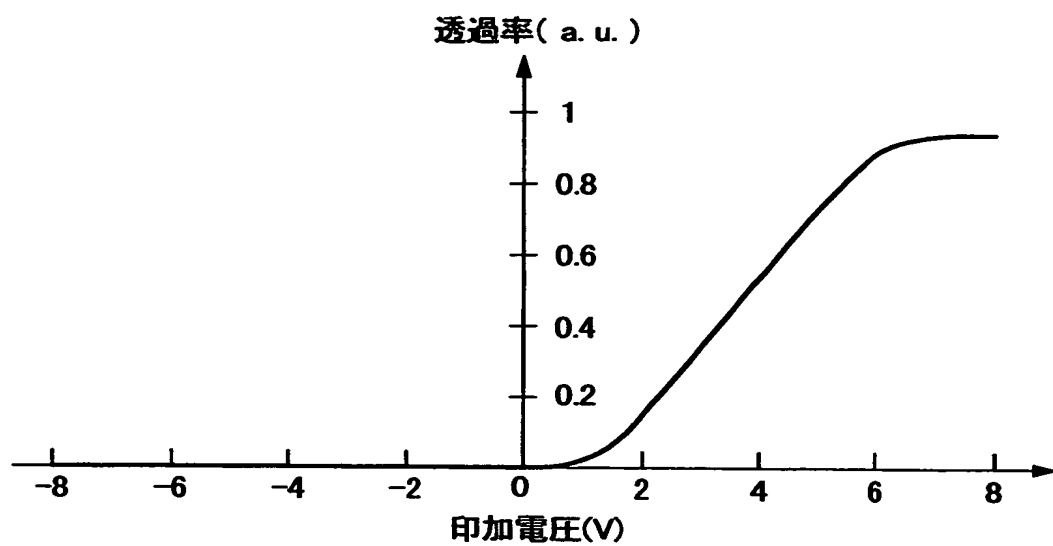
樹脂膜形成工程／コンタクトホール形成工程／固素電極形成工程



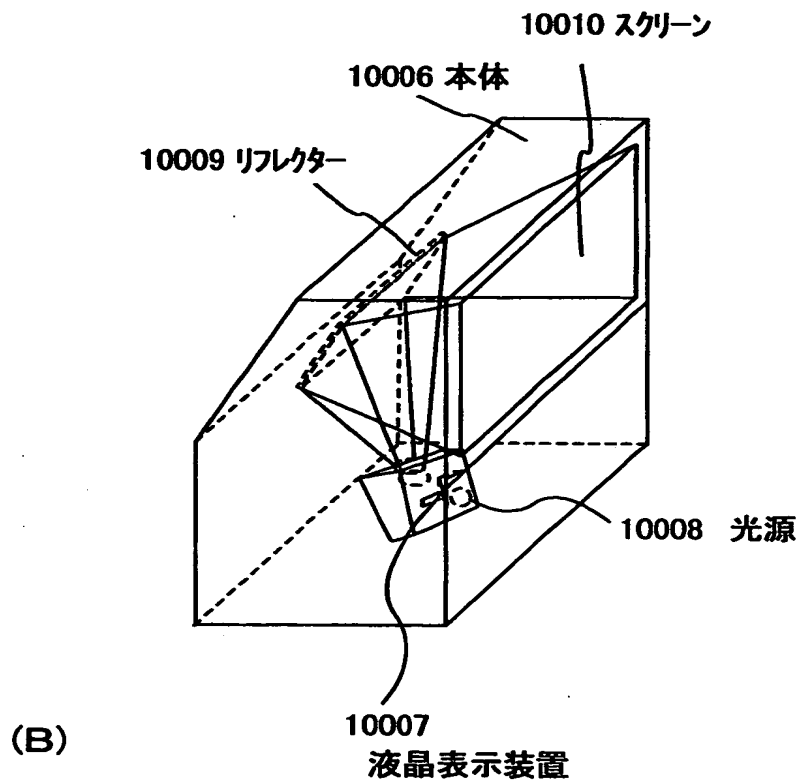
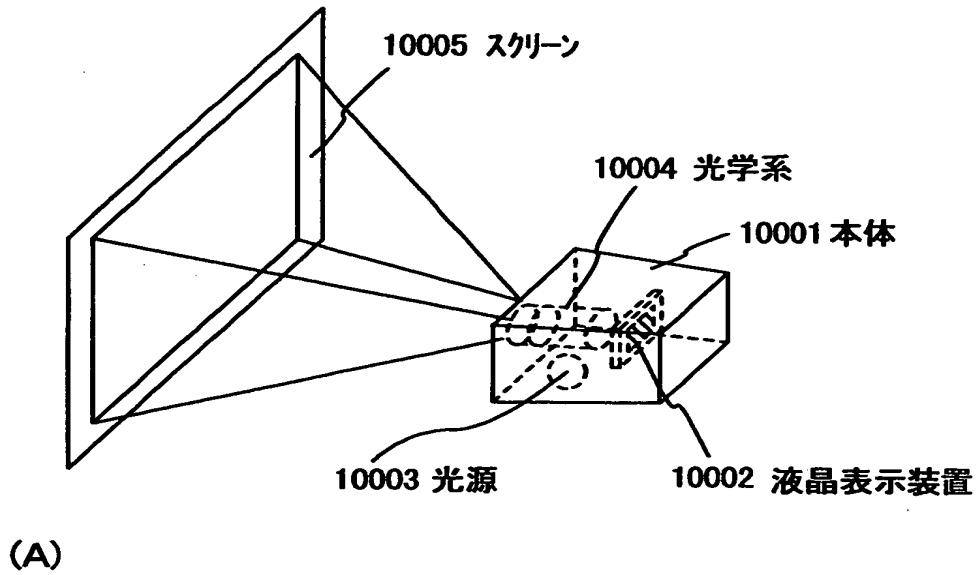
【図 1 2】



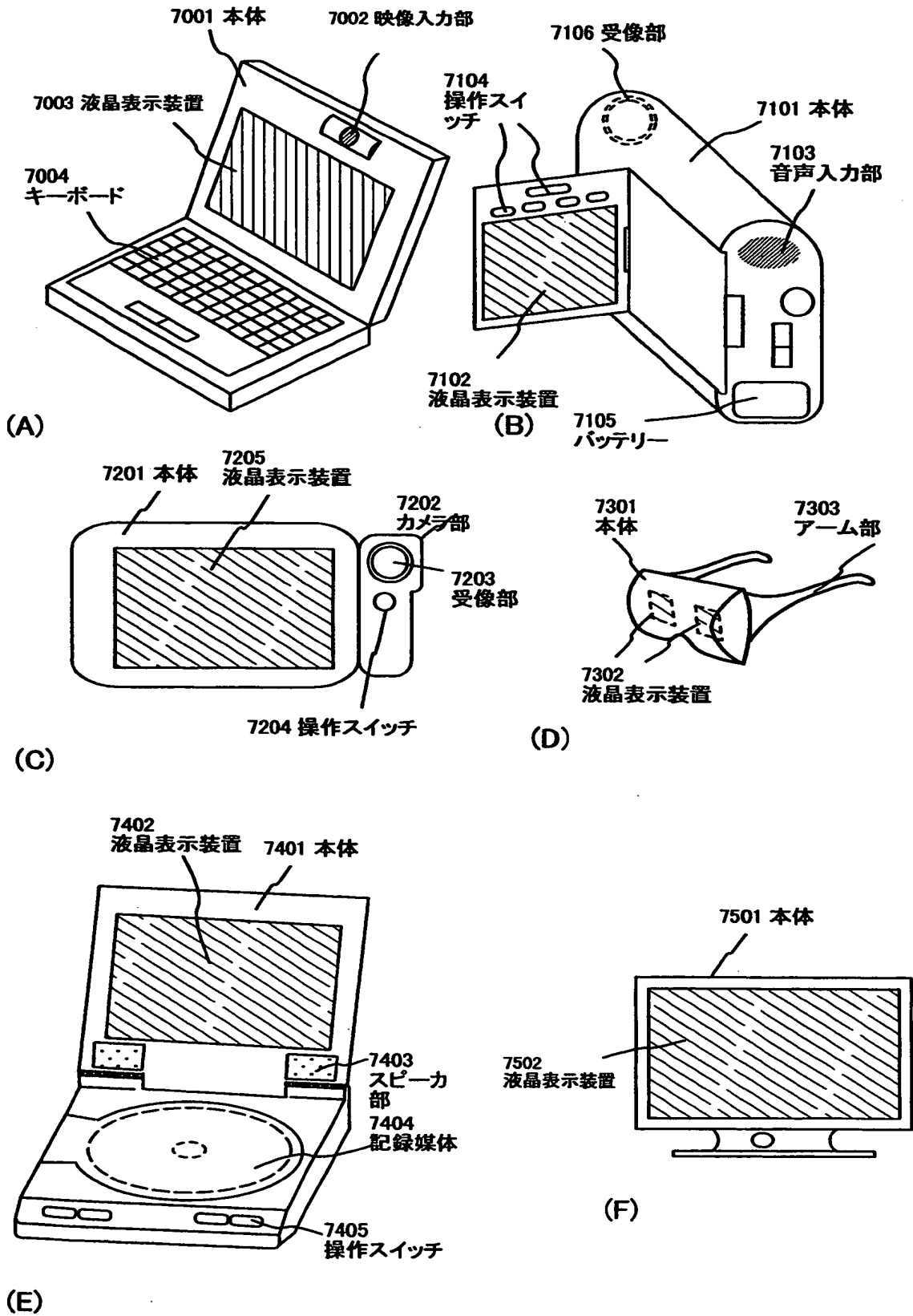
【図 1 3】



【図 1 4】



【図 1 5】



特平 1 1 — 2 8 7 5 8 3

【図 1 6】

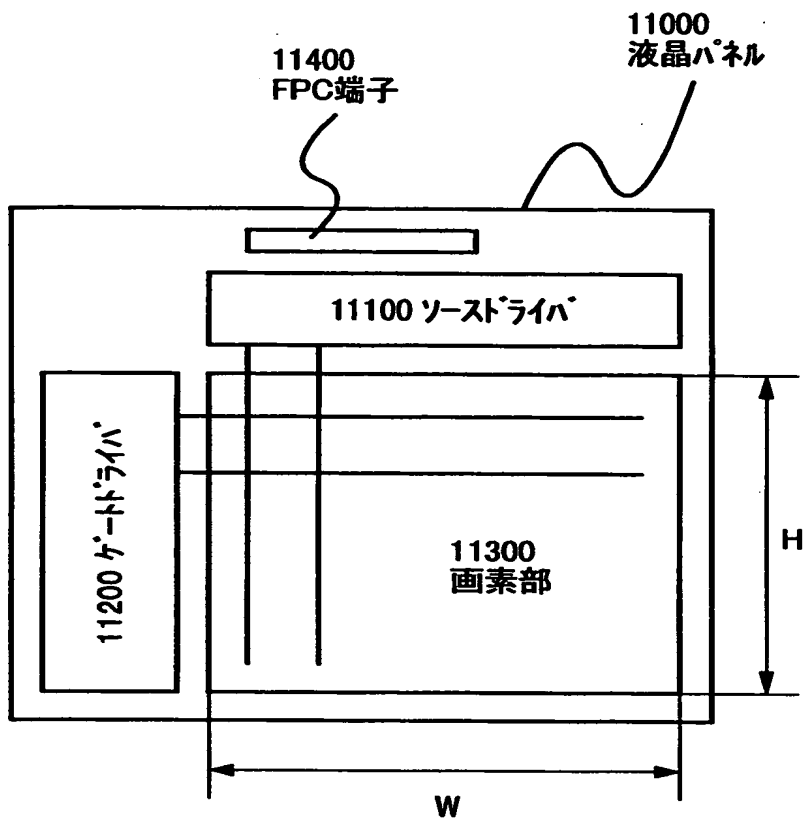
ビデオデータ
(VIDEO)

1,1	1,2	1,3	1,4	1,5	2,1	2,2	2,3	2,4	2,5	3,1	3,2	3,3	3,4	3,5	4,1	4,2	4,3	4,4	4,5
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----



ビデオデータ _{n1} (VIDEO _{n1})	1,1	1,2	1,3	1,4	1,5
ビデオデータ _{n2} (VIDEO _{n2})	2,1	2,2	2,3	2,4	2,5
ビデオデータ _{n3} (VIDEO _{n3})	3,1	3,2	3,3	3,4	3,5
ビデオデータ _{n4} (VIDEO _{n4})	4,1	4,2	4,3	4,4	4,5

【図 1 7】



【書類名】 要約書

【要約】

【課題】 ソースドライバの占有面積が大きい場合の小型の液晶パネルを実現できる回路レイアウトを用いた液晶パネルを提供する

【解決手段】 $m \times n$ 個の画素を有する画素部であって、前記画素は T F T を有する画素部と (m 、 n は共に自然数、 $m < n$)、 m 本のゲート信号線に選択信号を供給するゲートドライバと、 n 本のソース信号線にビデオデータを供給するソースドライバと、ビデオデータ変換回路と、を有する液晶表示装置であって、前記ビデオデータ変換回路は、第 1 のビデオデータ (h 、 k) ($h = 1 \sim m$ 、 $k = 1 \sim n$) を第 2 のビデオデータに変換し、前記第 1 のビデオデータを構成するビデオデータ (h 、 k) は、前記第 2 のビデオデータを構成する $m(k - 1) + h$ 番目のビデオデータに変換されることを特徴とする液晶表示装置。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所